

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000010522 A

(43) Date of publication of application: 14.01.00

(51) Int. Cl.

G09G 3/28

G09G 3/20

(21) Application number: 10173469

(22) Date of filing: 19.06.98

(71) Applicant: PIONEER ELECTRON CORP

(72) Inventor:  
 TODOROKI RYUICHI  
 SATO NARIHIRO  
 KIKUCHI NOZOMI  
 HOSOI KENICHIRO

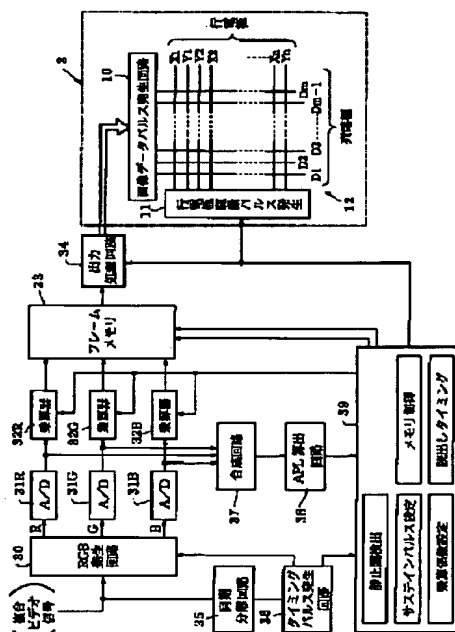
(54) METHOD AND DEVICE FOR CONTROLLING  
 LUMINANCE OF PLASMA DISPLAY PANEL

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To effectively prevent a plasma display panel from being cracked in whatever pattern a still image is displayed on the panel.

**SOLUTION:** The average luminance level of an image signal, which is inputted in a plasma display panel by a circuit 38 for calculating the average luminance level, is detected for each vertical scanning period, with a difference determined between the average luminance level thus detected and that detected immediately before. In this case, when this determined difference in the average luminance level is smaller than a reference value continuously for a prescribed time, it is discriminated as a still image display, with the number of sustained pulse reduced or the multiplication coefficient made smaller, so that the luminance is decreased for the image to be displayed.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-10522

(P2000-10522A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 9 G 3/28		G 0 9 G 3/28	K 5 C 0 8 0
3/20	6 4 2	3/20	6 4 2 E
	6 6 0		6 6 0 U
	6 7 0		6 7 0 L

審査請求 未請求 請求項の数10 O L (全 16 頁)

(21) 出願番号 特願平10-173469

(22) 出願日 平成10年6月19日 (1998.6.19)

(71) 出願人 000005016

パイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 森 隆一

静岡県袋井市鷺巣字西ノ谷15番地1

パイオニア株式会社静岡工場内

(72) 発明者 佐藤 成広

静岡県袋井市鷺巣字西ノ谷15番地1

パイオニア株式会社静岡工場内

(74) 代理人 100063565

弁理士 小橋 信淳

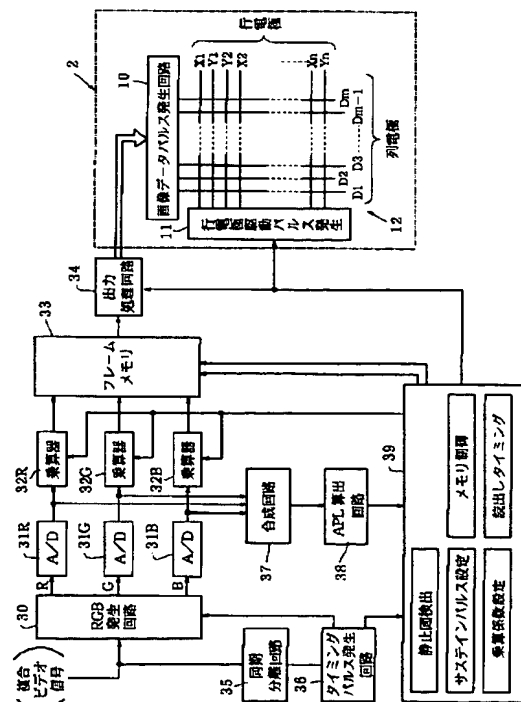
最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの輝度制御方法および装置

(57) 【要約】

【課題】 プラズマディスプレイパネルにどのようなパターンの静止画像が表示される場合であっても、プラズマディスプレイパネルが割れるのを有効に防止することが出来るプラズマディスプレイパネルの輝度制御方法および装置を提供する。

【解決手段】 APL算出回路38によってプラズマディスプレイパネルに入力される映像信号の平均輝度レベルを1垂直走査期間毎に検出し、検出された平均輝度レベルと直前に検出された平均輝度レベルの差を求め、この求められた平均輝度レベルの差が所定の時間連続して基準の値よりも小さいときに静止画表示であると判定して、サステインパルスのパルス数を減少させるかまたは乗算係数を小さくして表示される映像の輝度を低減させる。



## 【特許請求の範囲】

【請求項 1】 プラズマディスプレイパネルに表示される画像の輝度を増減する輝度制御方法において、プラズマディスプレイパネルに入力される映像信号が静止画を表示する信号であるか否かを判定し、プラズマディスプレイパネルに入力される映像信号が静止画を表示する信号であると判定したときにプラズマディスプレイパネルに表示される映像の輝度を低減することを特徴とするプラズマディスプレイパネルの輝度制御方法。

【請求項 2】 プラズマディスプレイパネルに入力される映像信号の平均輝度レベルを所定の周期で検出し、この検出された平均輝度レベルを直前に検出された平均輝度レベルと比較してその差を求め、この求められた平均輝度レベルの差が所定の時間連続して基準の値よりも小さいときに前記映像信号が静止画を表示する信号であるとの判定を行う請求項 1 に記載のプラズマディスプレイパネルの輝度制御方法。

【請求項 3】 前記映像信号が静止画を表示する信号であるとの判定を行ったときに、プラズマディスプレイパネルにおいて発光放電を維持するサステインパルスのパルス数を減少させる請求項 1 に記載のプラズマディスプレイパネルの輝度制御方法。

【請求項 4】 前記サステインパルスのパルス数の減少を段階的に行う請求項 3 に記載のプラズマディスプレイパネルの輝度制御方法。

【請求項 5】 前記映像信号が静止画を表示する信号であるとの判定を行ったときに、プラズマディスプレイパネルに入力される映像信号に乘算されて映像信号の輝度レベルを調節する乗算係数を小さくする請求項 1 に記載のプラズマディスプレイパネルの輝度制御方法。

【請求項 6】 プラズマディスプレイパネルに表示される画像の輝度を増減する輝度制御装置において、プラズマディスプレイパネルに入力される映像信号が静止画を表示する信号であるか否かを判定する判定手段と、

この判定手段が映像信号が静止画を表示する信号であると判定したときにプラズマディスプレイパネルに表示される映像の輝度を低減する輝度低減手段と、を備えていることを特徴とするプラズマディスプレイパネルの輝度制御装置。

【請求項 7】 前記判定手段が、プラズマディスプレイパネルに入力される映像信号の平均輝度レベルを所定の周期で検出する平均輝度レベル検出手段と、この平均輝度レベル検出手段によって検出された平均輝度レベルを直前に検出された平均輝度レベルと比較してその差を求める演算手段と、この演算手段によって求められた平均輝度レベルの差が所定の時間連続して基準の値よりも小さいか否かを監視する監視手段とを有し、この監視手段が、前記演算手段によって求められた平均

輝度レベルの差が所定の時間連続して基準の値よりも小さいと判断したときに、映像信号が静止画を表示する信号であるとの判定を行う請求項 6 に記載のプラズマディスプレイパネルの輝度制御装置。

【請求項 8】 前記輝度低減手段が、プラズマディスプレイパネルにおいて発光放電を維持するサステインパルスのパルス数を減少させる手段である請求項 6 に記載のプラズマディスプレイパネルの輝度制御装置。

【請求項 9】 前記輝度低減手段が、サステインパルスのパルス数の減少を段階的に行う請求項 8 に記載のプラズマディスプレイパネルの輝度制御装置。

【請求項 10】 前記輝度低減手段が、プラズマディスプレイパネルに入力される映像信号に乘算されて映像信号の輝度レベルを調節する乗算係数を小さくする手段である請求項 6 に記載のプラズマディスプレイパネルの輝度制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、プラズマディスプレイパネルの駆動装置において、この駆動装置から出力される映像信号によってプラズマディスプレイパネルに表示される映像の輝度を制御するための方法およびこの制御方法を実施するための装置に関する。

## 【0002】

【発明が解決しようとする課題】 近年、薄型の二次元画面表示器の一つとしてプラズマディスプレイパネル（以下、PDP という）が注目を集めており、種々の駆動方式が開発されている。図 10 は、この PDP のうち、交流放電型マトリックス方式の PDP の従来の駆動装置を示すものであって、この駆動装置は、入力される複合ビデオ信号を処理して PDP の駆動信号を出力する信号処理部 1 と、この信号処理部 1 から駆動信号が入力されて PDP に映像を表示する表示部 2 とから構成されている。

【0003】 信号処理部 1 において、入力されてきた複合ビデオ信号は、A/D 変換器 3 によって、後述するタイミングパルス発生回路 7 から入力されるイミングパルスに同期して、複合ビデオ信号を例えば 8 ビットのデジタル画素データ信号に変換され、A/D 変換器 3 は、この変換したデジタル画素データ信号をフレームメモリ 4 に出力する。

【0004】 フレームメモリ 4 は、後述するメモリ制御回路 8 から入力される取込信号および読出信号に基づいて、A/D 変換器 3 から入力されるデジタル画素データ信号からその画素データを順次取り込むとともに、この取り込んだ画素データを読み出して出力処理回路 5 に出力する。

【0005】 出力処理回路 5 は、入力されるデジタル画素データ信号を 1 フィールド毎にその輝度階調に対応するモード（ここでは 8 ビット）の画素データ信号に生

成した後、後述する読出タイミング信号発生回路9からの読出タイミング信号に同期して、表示部2の画素データパルス発生回路10に供給する。

【0006】この信号処理部1において、入力されてきた複合ビデオ信号は、同期分離回路6にも入力され、この同期分離回路6は、入力された複合ビデオ信号から水平および垂直同期信号を抽出し、この抽出した水平および垂直同期信号をタイミングパルス発生回路7に出力する。

【0007】タイミングパルス発生回路7は、入力された水平および垂直同期信号に基づいて種々のタイミングパルスを生成して、この生成した各タイミングパルスを、前述したA/D変換器3、メモリ制御回路8および読出タイミング信号発生回路9にそれぞれ出力する。

【0008】このタイミングパルスに同期して、A/D変換器3が、前述したように、入力されてくる複合ビデオ信号のアナログ/デジタル変換を行う。メモリ制御回路8は、フレームメモリ4に、タイミングパルス発生回路7から入力されるタイミングパルスに同期する取込信号と、後述する読出タイミング信号発生回路9から入力される読出タイミング信号に同期する読出信号を生成して、前述したように、フレームメモリ4に、A/D変換器3から入力されるデジタル画素データ信号によって表される画素データの取り込みと、取り込んだ画素データの読み出しをそれぞれ行わせる。

【0009】読出タイミング信号発生回路9は、タイミングパルス発生回路7からメモリ制御回路8に出力されるタイミングパルスが入力されて、このタイミングパルスに基づいて読出タイミング信号を生成し、この生成した読出タイミング信号をメモリ制御回路8、出力処理回路5および表示部2の行電極駆動パルス発生回路11にそれぞれ出力する。

【0010】この読出タイミング信号によって、前述したように、メモリ制御回路8が読出信号を生成してフレームメモリ4に出力し、出力処理回路5が画素データ信号を表示部2の画素データパルス発生回路10に出力する。読出タイミング信号の入力による行電極駆動パルス発生回路11の作動については、後述する。

【0011】表示部2において、PDP12は、図11に示されるように、映像の表示面である前面ガラス基板12Aの内面に、互いに対をなす複数の行電極 $X_i$ と $Y_i$  ( $i=1, 2, \dots, n$ )が交互に平行に配列されていて、誘電体層12Bにより被覆されている。

【0012】この誘電体層12Bの表面には、酸化マグネシウム ( $MgO$ ) 層12Cが形成され、さらに、この酸化マグネシウム層12Cと背面ガラス基板12Dの間には、放電空間12Eが形成されている。背面ガラス基板12Dには、蛍光体が塗布された複数の列電極 $D_j$  ( $j=1, 2, \dots, m$ ) が、互いに平行にかつ行電極 $X_i, Y_i$  ( $i=1, 2, \dots, n$ ) が延びる方向に対して直角方向に延びるよう

に配列されている。

【0013】対をなす行電極 $X_i$ と $Y_i$  ( $i=1, 2, \dots, n$ )によって画像の一行(ライン)が形成されるようになっており、この対をなす行電極 $X_i, Y_i$  ( $i=1, 2, \dots, n$ )と列電極 $D_j$  ( $j=1, 2, \dots, m$ )が交叉する部分に、1つの画素セルが形成される。画素データパルス発生回路10は、列電極 $D_j$  ( $j=1, 2, \dots, m$ )に接続され、信号処理部1の出力処理回路5から入力される画素データ信号に対応する画素データパルス $DP_j$  ( $j=1, 2, \dots, m$ )を発生して、列電極 $D_j$  ( $j=1, 2, \dots, m$ )に印加する。

【0014】行電極駆動パルス発生回路11は、行電極 $X_i, Y_i$  ( $i=1, 2, \dots, n$ )に接続され、PDP12の各対における行電極 $X_i$ と $Y_i$  ( $i=1, 2, \dots, n$ )の間に強制的に放電を励起して放電空間12Eに荷電粒子を発生させるためのリセットパルス $RP_x, RP_y$ と、荷電粒子を再形成させるためのプライミングパルス $PP$ と、画素データ書込みのための走査パルス $SP$ と、放電発光を維持するためのサステインパルス $LP_x, LP_y$ と、壁電荷を消去するための消去パルス $EP$ を生成して、これらの各パルスを信号処理部1の読出タイミング信号発生回路9から入力される読出タイミング信号によるタイミングによって、PDP11の行電極 $X_i, Y_i$  ( $i=1, 2, \dots, n$ )にそれぞれ印加する。

【0015】図12は、この画素データパルス発生回路10および行電極駆動パルス発生回路11によって、列電極 $D_j$  ( $j=1, 2, \dots, m$ )と行電極 $X_i, Y_i$  ( $i=1, 2, \dots, n$ )にそれぞれ印加される各パルスの印加のタイミングを示すタイミングチャートである。

【0016】この図12において、行電極駆動パルス発生回路11は、正電圧のリセットパルス $RP_x$ を行電極 $X_i$  ( $i=1, 2, \dots, n$ )に印加し、これと同時に、負電圧のリセットパルス $RP_y$ を行電極 $Y_i$  ( $i=1, 2, \dots, n$ )にそれぞれ印加する。このリセットパルス $RP_x$ と $RP_y$ の印加によって、PDP11の各対における行電極 $X_i$ と $Y_i$  ( $i=1, 2, \dots, n$ )間に放電が励起されて、全ての画素セルの放電空間12E内に荷電粒子が発生される。

【0017】この荷電粒子の発生によって、放電の終息後、各画素セルの誘電体層12B内には、所定量の壁電荷が一様に形成される。この壁電荷が形成されるまでの期間を、一斉リセット期間という。次に、画素データパルス発生回路10は、行電極 $X_i, Y_i$  ( $i=1, 2, \dots, n$ )の各対毎に、画素データに対応した電圧値を有する画素データパルス $DP_j$  ( $j=1, 2, \dots, m$ )を、列電極 $D_j$  ( $j=1, 2, \dots, m$ )に順次印加してゆく。

【0018】このとき、行電極駆動パルス発生回路11は、画素データパルス発生回路10が列電極 $D_j$  ( $j=1, 2, \dots, m$ )に画素データパルス $DP_j$  ( $j=1, 2, \dots, m$ )をそれぞれ印加する直前に、各行電極 $Y_i$  ( $i=1, 2, \dots, n$ )に正極性のプライミングパルス $PP$ を順次印加し、さらに、各画素データパルス $DP_j$  ( $j=1, 2, \dots, m$ )の印加のタイミング

に同期して、各行電極  $Y_i$  ( $i=1, 2, \dots, n$ ) に所定の小さなパルス幅を有する負極性の走査パルス  $SP$  を順次印加してゆく。

【0019】このプライミングパルス  $PP$  の印加によって、一斉リセット期間に放電空間  $12E$  内に発生され時間の経過とともに減少していた荷電粒子が、再び発生される。そして、この荷電粒子が存在する間に走査パルス  $SP$  が印加されることによって、各画素セルにおいて、印加される走査パルス  $SP$  と画素データパルス  $DP_j$  ( $j=1, 2, \dots, m$ ) との間の電圧差により選択的に放電が生じて、画素データの書き込みが行われる。

【0020】すなわち、走査パルス  $SP$  は、荷電粒子によって各画素セルにおける誘電体層  $12B$  内に形成された壁電荷を画素データに対応して選択的に消去させるトリガの役目を果たすものであり、行電極  $Y_i$  ( $i=1, 2, \dots, n$ ) と列電極  $D_j$  ( $j=1, 2, \dots, m$ ) との間に放電を発生させて壁電荷を消去するか否かによって、画素データの書き込みを行うものである。

【0021】例えば、画素セルに印加される画素データパルス  $DP_j$  ( $j=1, 2, \dots, m$ ) の電圧が、画素データが論理「1」を示す場合には正極性の  $VD[v]$  であり、画素データが論理「0」を示す場合には  $0[v]$  であるとする、 $PDP12$  の走査パルス  $SP$  が印加される行において、画素データが論理「1」のときには、走査パルス  $SP$  と画素データパルス  $DP_j$  ( $j=1, 2, \dots, m$ ) との間の電位差が大きくなって、行電極  $Y_i$  ( $i=1, 2, \dots, n$ ) と列電極  $D_j$  ( $j=1, 2, \dots, m$ ) との間に走査パルス  $SP$  のパルス幅に対応する小さな放電が発生し、その画素セルに対応する誘電体層  $12B$  内の壁電荷が消滅する。そして、このときの放電時間は短いので、新たに誘電体層  $12B$  内に壁電荷が形成されることはない。

【0022】一方、画素セルに対応する画素データが論理「0」のときには、走査パルス  $SP$  と画素データパルス  $DP_j$  ( $j=1, 2, \dots, m$ ) との間の電位差が小さく、行電極  $Y_i$  ( $i=1, 2, \dots, n$ ) と列電極  $D_j$  ( $j=1, 2, \dots, m$ ) との間には放電が生じないので、その画素セルに対応する誘電体層  $12B$  内の壁電荷はそのまま残留する。

【0023】この壁電荷の消去による画素データの書き込みの期間を、アドレス期間という。次に、行電極駆動パルス発生回路  $11$  は、正極性のサステインパルス  $IP_x$  を各行電極  $X_i$  ( $i=1, 2, \dots, n$ ) に連続して印加するとともに、このサステインパルス  $IP_x$  の印加タイミングから少し遅れたタイミングによって、正極性のサステインパルス  $IP_y$  を各行電極  $Y_i$  ( $i=1, 2, \dots, n$ ) に連続して印加する。

【0024】このサステインパルス  $IP_x$  と  $IP_y$  の印加によって、アドレス期間における画素データの書き込みにより誘電体層  $12B$  内に壁電荷が残留したままとなっている画素セルにおいてのみ、放電発光が生じ、この放電発光がサステインパルス  $IP_x$  と  $IP_y$  が連続して

印加されている間維持される。

【0025】この放電発光によって、 $PDP12$  に画像が表示される。このサステインパルス  $IP_x$  と  $IP_y$  の印加によって放電発光が維持される期間を、維持放電期間という。そして、この放電発光が所要の期間維持された後、行電極駆動パルス発生回路  $11$  は、負極性の消去パルス  $EP$  を各行電極  $Y_i$  ( $i=1, 2, \dots, n$ ) に印加することによって、誘電体層  $12B$  内の壁電荷を消去して、1フィールド分の画像表示を終了する。

10 【0026】上記のような交流放電型マトリックス方式の  $PDP$  においては、静止画を表示する場合、放電によって発光している部分と放電発光が行われていない部分とで大きな温度差が生じるため、パネルが割れる虞がある。このため、 $PDP$  の駆動装置には、 $CRT$  による表示装置と同様に、表示器（パネル）に静止画を表示する場合に画像の輝度を制限する輝度制限装置 (Automatic Brightness/Beam Limiter, 以下、 $ABL$  という) が用いられている。

20 【0027】このような静止画の場合に画像の輝度を制限する  $ABL$  として、本願発明の出願人は、先の出願（特願平9-187827号）によって、新規な輝度制御装置を提案している。図13は、この先の出願にかかる輝度制限装置を示すものであって、入力されてきた複合ビデオ信号は、図示しない  $RGB$  発生回路によって  $RGB$  の各アナログ色信号に分離される。

30 【0028】この分離された各色信号  $R, G, B$  は、それぞれ  $A/D$  変換器  $20R, 20G, 20B$  に入力されてデジタル信号に変換された後、それぞれ乗算器  $21R, 21G, 21B$  に入力され、この乗算器  $21R, 21G, 21B$  において後述する乗算係数がそれぞれ乗算されて、各色信号  $R, G, B$  の輝度レベルが設定される。

【0029】そして、このようにして輝度レベルが設定された各色信号  $R, G, B$  は、図10の場合と同様に、図示しないフレームメモリに入力され、さらに出力処理回路に入力されて処理された後、表示部に出力される。この輝度制御装置において、各乗算器  $21R, 21G, 21B$  において各色信号  $R, G, B$  の輝度レベルを設定する乗算係数は、以下のようにして決定される。

40 【0030】すなわち、 $A/D$  変換器  $20R, 20G, 20B$  によってデジタル信号に変換された各色信号  $R, G, B$  は、合成回路  $22$  に入力され、この合成回路  $22$  において輝度信号に合成された後、 $APL$  算出回路  $23$  に入力される。この  $APL$  算出回路  $23$  は、1フィールドの画面の映像信号を縦方向に8分割したブロック毎に、各ブロックにおける平均輝度レベル (Average Picture Level, 以下、 $APL$  という) を算出し、その結果を  $APL$  加算回路  $24$  に出力する。

50 【0031】 $APL$  加算回路  $24$  は、入力されてくる各ブロック毎の  $APL$  を互いに隣接するブロック毎に加算して、その加算値を比較回路  $25$  に出力する。比較回路

25は、入力されてくる各加算値をそれぞれ基準値発生回路26にあらかじめ設定されている基準値と比較して、その比較結果を乗算係数設定回路27に出力する。

【0032】そして、乗算係数設定回路27は、入力されてくる比較結果に基づいて、APLの加算値の何れかが基準値よりも大きいときには、あらかじめ設定されている1よりも小さい乗算係数を乗算器21R、21G、21Bにそれぞれ出力し、各乗算器21R、21G、21Bは、前述したように、入力されてくる乗算係数を色信号R、G、Bにそれぞれ乗算して、各色信号R、G、Bにおける輝度レベルを低減させる。

【0033】また、乗算係数設定回路27は、入力されてくる比較結果により、APLの加算値が何れも基準値よりも小さいときには、1の乗算係数を乗算器21R、21G、21Bにそれぞれ出力して色信号R、G、Bにそれぞれ乗算することにより、各色信号R、G、Bにおける輝度レベルの低減は行わない。

【0034】すなわち、基準値発生回路26に設定されている基準値を400とすると、図14の(a)に示されるパターン(図中の数字は、映像画面の各ブロックにおけるAPLを示す)においては、隣接するブロックのAPLの加算値が何れも基準値の400を下回るため、乗算係数設定回路27からは1の乗算係数が出力されて、輝度レベルの低減は行われれないが、図14の(b)に示されるパターンにおいては、ブロック4と5のAPLの加算値が基準値の400を越えるため、乗算係数設定回路27からは1よりも小さい乗算係数(ここでは、0.5)が出力されて、乗算器21R、21G、21Bにおいて色信号R、G、Bに乗算されることにより、図14の(c)に示されるように、輝度レベルが低減される。

【0035】上記の輝度制御装置によれば、PDPにおいて表示される映像画面の一部に明るい部分が集中するような場合にその画面の輝度を低減して、パネルが割れるのを防止することが出来るという特徴を有している。

【0036】しかしながら、上記の先行技術である輝度制御装置は、図15に模式的に示されるように、PDPにおいて表示される静止画面の明るい部分 $\alpha$ が横方向に集中して延びているような場合には有効であるが、図16に示されるように、PDPにおいて表示される静止画面の明るい部分 $\alpha$ が縦方向に集中して延びているような場合には、各ブロックにおけるAPL(図14参照)の値が何れも小さくなり、そのAPLの隣接するブロック毎の加算値が基準値を下回ることによってABLが作動しない虞があるため、パネルが割れるのを防止することができないという問題を有している。

【0037】この発明は、上記のようなプラズマディスプレイパネルの制御装置における問題点を解決するためになされたものである。すなわち、この発明は、プラズマディスプレイパネルにどのようなパターンの静止画像が表示される場合であっても、プラズマディスプレイ

パネルが割れるのを有効に防止することが出来るプラズマディスプレイパネルの輝度制御方法および装置を提供することを目的とする。

#### 【0038】

【課題を解決するための手段】上記目的を達成するために、第1の発明によるプラズマディスプレイパネルの輝度制御方法は、プラズマディスプレイパネルに表示される画像の輝度を増減する輝度制御方法において、プラズマディスプレイパネルに入力される映像信号が静止画を表示する信号であるか否かを判定し、プラズマディスプレイパネルに入力される映像信号が静止画を表示する信号であると判定したときにプラズマディスプレイパネルに表示される映像の輝度を低減することを特徴としている。

【0039】この第1の発明によるプラズマディスプレイパネルの輝度制御方法は、プラズマディスプレイパネルに入力される映像信号から、例えば、この映像信号の輝度レベルがあらかじめ設定された期間内に変動するか否を検出する等の方法によって、その映像信号が静止画を表示する信号であるか否かを判定する。そして、例えば、映像信号の輝度レベルがあらかじめ設定された期間内に変動しない場合に、入力されている映像信号が静止画を表示する信号であると判定して、プラズマディスプレイパネルに表示される映像の輝度を低減する処理を行う。

【0040】上記第1の発明によれば、静止画面において明るい(輝度が高い)部分がどのように分布していても、確実にプラズマディスプレイパネルに表示される映像の輝度を低減する処理を実行することが出来るので、部分的な発光放電による温度差によってプラズマディスプレイパネルが割れるのを防止することが出来る。

【0041】前記目的を達成するために、第2の発明によるプラズマディスプレイパネルの輝度制御方法は、上記第1の発明の構成に加えて、プラズマディスプレイパネルに入力される映像信号の平均輝度レベルを所定の周期で検出し、この検出された平均輝度レベルを直前に検出された平均輝度レベルと比較してその差を求め、この求められた平均輝度レベルの差が所定の時間連続して基準の値よりも小さいときに前記映像信号が静止画を表示する信号であるとの判定を行うことを特徴としている。

【0042】この第2の発明によるプラズマディスプレイパネルの輝度制御方法は、プラズマディスプレイパネルに入力される映像信号が静止画を表示する信号であるとの判定を、その映像信号の平均輝度レベルを例えばプラズマディスプレイパネルにおける画像表示の1垂直走査期間毎に検出してこの検出された平均輝度レベルの値とその直前の1垂直走査期間に検出された平均輝度レベルの値との差を求め、この求められた平均輝度レベルの差が基準の値よりも小さい状態があらかじめ設定された所定の時間継続されたときに行う。

【0043】上記第2の発明によれば、プラズマディスプレイパネルにおいて表示される画面の平均輝度レベルが一定時間変動しないかまたは変動してもその変動範囲が小さい場合を全て静止画面と判定して、輝度低減処理を行うので、発光放電による温度差によってプラズマディスプレイパネルが割れるのを確実に防止することが出来る。

【0044】前記目的を達成するために、第3の発明によるプラズマディスプレイパネルの輝度制御方法は、前記第1の発明の構成に加えて、前記映像信号が静止画を表示する信号であるとの判定を行ったときに、プラズマディスプレイパネルにおいて発光放電を維持するサステインパルスのパルス数を減少させることを特徴とする。

【0045】この第3の発明によるプラズマディスプレイパネルの輝度制御方法は、プラズマディスプレイパネルに入力される映像信号が静止画を表示する信号であるとの判定が行われたときに、プラズマディスプレイパネルの駆動装置を制御してプラズマディスプレイパネルに印加されるサステインパルスのパルス数を減少させ、これによってプラズマディスプレイパネルにおける発光放電の回数を減少させることにより、表示される画像の輝度を低減させる。

【0046】前記目的を達成するために、第4の発明によるプラズマディスプレイパネルの輝度制御方法は、上記第3の発明の構成に加えて、前記サステインパルスのパルス数の減少を段階的に行うことを特徴とする。

【0047】この第4の発明によるプラズマディスプレイパネルの輝度制御方法は、プラズマディスプレイパネルに印加されるサステインパルスのパルス数を減少させて表示画面の輝度を低減させる際に、サステインパルスのパルス数をあらかじめ定められた輝度低減時の設定値まで一気に減少させるのではなく、段階的に時間をかけて減少させる。これによって、プラズマディスプレイパネルの画面が急に暗くなるのを防止しながら、輝度の低減処理を実行することが出来る。

【0048】前記目的を達成するために、第5の発明によるプラズマディスプレイパネルの輝度制御方法は、前記第1の発明の構成に加えて、前記映像信号が静止画を表示する信号であるとの判定を行ったときに、プラズマディスプレイパネルに入力される映像信号に乗算されて映像信号の輝度レベルを調節する乗算係数を小さくすることを特徴としている。

【0049】この第5の発明によるプラズマディスプレイパネルの輝度制御方法は、プラズマディスプレイパネルに入力される映像信号が静止画を表示する信号であるとの判定が行われたときに、乗算係数を初期値よりも小さく設定して映像信号に乗算することにより、プラズマディスプレイパネルに入力される映像信号の輝度レベルを低下させ、これによって、表示される画像の輝度を低減させる。

【0050】前記目的を達成するために、第6の発明によるプラズマディスプレイパネルの輝度制御装置は、プラズマディスプレイパネルに表示される画像の輝度を増減する輝度制御装置において、プラズマディスプレイパネルに入力される映像信号が静止画を表示する信号であるか否かを判定する判定手段と、この判定手段が映像信号が静止画を表示する信号であると判定したときにプラズマディスプレイパネルに表示される映像の輝度を低減する輝度低減手段とを備えていることを特徴としている。

【0051】この第6の発明によるプラズマディスプレイパネルの輝度制御装置は、判定手段が、プラズマディスプレイパネルに入力される映像信号から、例えば、この映像信号の輝度レベルがあらかじめ設定された期間内に変動するか否かを検出する等の方法によって、その映像信号が静止画を表示する信号であるか否かを判定する。そして、この判定手段が、例えば、映像信号の輝度レベルがあらかじめ設定された期間内に変動しない場合に、入力されている映像信号が静止画を表示する信号であると判定したときに、輝度低減手段が、プラズマディスプレイパネルに表示される映像の輝度を低減する処理を行う。

【0052】上記第6の発明によれば、静止画面において明るい（輝度が高い）部分がどのように分布していても、確実にプラズマディスプレイパネルに表示される映像の輝度を低減する処理を実行することが出来るので、発光放電による温度差によってプラズマディスプレイパネルが割れるのを防止することが出来る。

【0053】前記目的を達成するために、第7の発明によるプラズマディスプレイパネルの輝度制御方法は、上記第6の発明の構成に加えて、前記判定手段が、プラズマディスプレイパネルに入力される映像信号の平均輝度レベルを所定の周期で検出する平均輝度レベル検出手段と、この平均輝度レベル検出手段によって検出された平均輝度レベルを直前に検出された平均輝度レベルと比較してその差を求める演算手段と、この演算手段によって求められた平均輝度レベルの差が所定の時間連続して基準の値よりも小さいか否かを監視する監視手段とを有し、この監視手段が、前記演算手段によって求められた平均輝度レベルの差が所定の時間連続して基準の値よりも小さいと判断したときに、映像信号が静止画を表示する信号であるとの判定を行うことを特徴とする。

【0054】この第7の発明によるプラズマディスプレイパネルの輝度制御装置は、判定手段によるプラズマディスプレイパネルに入力される映像信号が静止画を表示する信号であるとの判定を、平均輝度レベル検出手段によって映像信号の平均輝度レベルを例えばプラズマディスプレイパネルにおける画像表示の1垂直走査期間毎に検出し、検出された平均輝度レベルの値とその直前の1垂直走査期間に検出された平均輝度レベルの値との差を

演算手段によって求め、この求められた平均輝度レベルの差が基準の値よりも小さい状態があらかじめ設定された所定の時間継続されたか否かを監視手段によって監視して、平均輝度レベルの差が基準の値よりも小さい状態があらかじめ設定された所定の時間継続したときに行う。

【0055】上記第7の発明によれば、プラズマディスプレイパネルにおいて表示される画面の平均輝度レベルが一定時間変動しないかまたは変動してもその変動範囲が小さい場合を全て静止画面と判定して、輝度低減処理を行うので、発光放電による温度差によってプラズマディスプレイパネルが割れるのを確実に防止することが出来る。

【0056】前記目的を達成するために、第8の発明によるプラズマディスプレイパネルの輝度制御装置は、前記第6の発明の構成に加えて、前記輝度低減手段が、プラズマディスプレイパネルにおいて発光放電を維持するサステインパルスのパルス数を減少させる手段であることを特徴としている。

【0057】この第8の発明によるプラズマディスプレイパネルの輝度制御装置は、プラズマディスプレイパネルに入力される映像信号が静止画を表示する信号であるとの判定が行われたときに、輝度低減手段が、プラズマディスプレイパネルの駆動装置を制御してプラズマディスプレイパネルに印加されるサステインパルスのパルス数を減少させ、これによってプラズマディスプレイパネルにおける発光放電の回数を減少させることにより、表示される画像の輝度を低減させる。

【0058】前記目的を達成するために、第9の発明によるプラズマディスプレイパネルの輝度制御装置は、上記第8の発明の構成に加えて、前記輝度低減手段が、サステインパルスのパルス数の減少を段階的に行うことを特徴としている。

【0059】この第9の発明によるプラズマディスプレイパネルの輝度制御装置は、輝度低減手段が、プラズマディスプレイパネルに印加されるサステインパルスのパルス数を減少させて表示画面の輝度を低減させる際に、サステインパルスのパルス数をあらかじめ定められた輝度低減時の設定値まで一気に減少させるのではなく、段階的に時間をかけて減少させる。これによって、プラズマディスプレイパネルの画面が急に暗くなるのを防止しながら、輝度の低減処理を実行することが出来る。

【0060】前記目的を達成するために、第10の発明によるプラズマディスプレイパネルの輝度制御装置は、前記第6の発明の構成に加えて、前記輝度低減手段が、プラズマディスプレイパネルに入力される映像信号に乗算されて映像信号の輝度レベルを調節する乗算係数を小さくする手段であることを特徴としている。

【0061】この第10の発明によるプラズマディスプレイパネルの輝度制御装置は、プラズマディスプレイパ

ネルに入力される映像信号が静止画を表示する信号であるとの判定が行われたときに、乗算係数を初期値よりも小さく設定して映像信号に乗算することにより、プラズマディスプレイパネルに入力される映像信号の輝度レベルを低下させ、これによって、表示される画像の輝度を低減させる。

#### 【0062】

【発明の実施の形態】以下、この発明の最も好適と思われる実施形態について、図面を参照しながら詳細に説明を行う。図1は、この発明の実施形態の一例を示すブロック図である。この図1において、DPDの駆動装置の信号処理部は、入力されてきた複合ビデオ信号をRGBの各アナログ色信号に分離するRGB発生回路30と、このRGBの各アナログ色信号をそれぞれデジタル信号に変換するA/D変換器31R、31G、31Bと、この変換された各デジタル色信号R、G、Bにそれぞれ後述する乗算係数を乗算する乗算器32R、32G、32Bと、この乗算係数が乗算された各デジタル色信号R、G、Bから画素データの取り込みを行うとともに取り込んだ画像データの読み出しを行うフレームメモリ33と、フレームメモリ33から読み出された画素データのデジタル信号を1フィールド毎にその輝度階調に対応するモード（ここでは8ビット）の画素データ信号に生成して表示部2に出力する出力処理回路34と、入力されてきた複合デジタル信号から水平および垂直同期信号を抽出する同期分離回路35と、抽出された水平および垂直同期信号に基づいてタイミングパルスを生成するタイミングパルス発生回路36と、デジタル色信号R、G、Bを合成して輝度信号を生成する合成回路37と、この輝度信号からPDPにおける画像表示の1垂直走査期間毎にAPLを算出するAPL算出回路38と、算出された1垂直走査期間毎のAPLからPDPに表示される画像が静止画であるか動画であるかを判断して乗算係数の設定とフレームメモリ33、出力処理回路34および表示部2の作動のタイミング制御を行うコントローラ39とから構成されている。

【0063】なお、表示部2の構成は、前述した図10の駆動装置の構成と同様であり、画素データパルス発生回路10と行電極駆動パルス発生回路11とPDP12から構成されている。上記PDP駆動装置の信号処理部に入力されてきた複合ビデオ信号は、RGB発生回路30と同期分離回路35に入力される。

【0064】同期分離回路35は、入力されてきた複合ビデオ信号から水平および垂直同期信号を抽出してタイミングパルス発生回路36に出力し、タイミングパルス発生回路36は、入力された水平および垂直同期信号に基づいてタイミングパルスを生成してRGB発生回路30とコントローラ39に出力する。RGB発生回路30は、タイミングパルス発生回路32から入力されるタイミングパルスに同期して、入力されてくる複合ビデオ信



号をRGBの各アナログ色信号に分離する。

【0065】この分離された各色信号R、G、Bは、それぞれA/D変換器31R、31G、31Bに入力されてデジタル信号に変換された後、それぞれ乗算器32R、32G、32Bに入力され、この乗算器32R、32G、32Bにおいて、後述する乗算係数がそれぞれ乗算されることにより、各デジタル色信号R、G、Bの輝度レベルが設定される。

【0066】このようにして輝度レベルが設定された各デジタル色信号R、G、Bは、フレームメモリ33に入力されて、その画素データがコントローラ39から出力される取り込み信号に同期してフレームメモリ33に順次取り込まれる。そして、このフレームメモリ33に取り込まれた画素データは、コントローラ39から出力される読み出し信号に同期して読み出されて出力処理回路34に入力され、この出力処理回路34において画像の1フィールド毎にその輝度階調に対応するモード（ここでは8ビット）の画素データ信号に生成された後、後述するコントローラ39から出力されてくる読み出しタイミング信号に同期して、表示部2の画素データパルス発生回路10に出力される。

【0067】表示部2のPDP12に表示される画像が静止画であるか動画であるかの判定と、その判定に基づく輝度制御は、コントローラ39によって行われる。すなわち、A/D変換器31R、31G、31Bからそれぞれ出力されたデジタル色信号R、G、Bは、合成回路37に入力され、この合成回路37において輝度信号に合成された後、APL算出回路38に入力される。

【0068】そして、このAPL算出回路38において、PDPにおける画像表示の1垂直走査期間毎にAPLが算出され、算出されたAPLの値を示す信号がコントローラ39に入力される。図1において、コントローラ39に表示されているブロックは、このコントローラ39が果たす機能をそれぞれ示している。すなわち、このコントローラ39は、APL算出回路38から連続して入力されるAPLの値を示す信号に基づいて表示部2のPDP12に表示される画像が静止画か動画かの判定する機能と、この判定に基づいて表示部2の行電極駆動パルス発生回路11から出力されるサステインパルスのパルス数を設定する機能と、上記の判定に基づいて各乗算器32R、32G、32Bにおいてデジタル色信号R、G、Bに乗算する乗算係数を設定する機能とを備えている。

【0069】さらに、コントローラ39は、フレームメモリ33がデジタル色信号R、G、Bから画素データを取り込むタイミングと取り込まれた画素データを読み出すタイミングを制御するメモリ制御機能と、タイミングパルス発生回路36から入力されるタイミングパルスのパルス数または設定されたサステインパルスのパルス数に対応して出力処理回路34と表示部2の行電極駆動パ

ルス発生回路11に出力する読み出しタイミング信号を生成する機能とを備えている。

【0070】次に、上記コントローラ39による輝度制御の手順を、図2ないし6に示されるフローチャートに基づいて説明を行う。図2において、コントローラ39は、APL算出回路38から入力される1垂直走査期間毎のAPLの値を記憶して、入力されてきたAPLの値とその直前に入力されてきたAPLの値との差（ $APL_t - APL_{t+1} = \Delta APL_n$ ）を順次算出してゆき（ステップs1）、さらに、この算出したAPLの値の差 $\Delta APL_n$ をあらかじめ設定されている基準値 $V_{ref}$ と比較してこの基準値 $V_{ref}$ よりも小さいか大きいかを判定する（ステップs2）。

【0071】そして、このステップs2においてAPLの値の差 $\Delta APL_n$ が基準値 $V_{ref}$ よりも小さいと判定されたとき、このAPLの値の差 $\Delta APL_n$ が基準値 $V_{ref}$ よりも小さいとの判定が連続してあらかじめ設定されているn回数行われたか否かを判断する（ステップs3）。

【0072】このステップs3において、APLの値の差 $\Delta APL_n$ が基準値 $V_{ref}$ よりも小さいとの判定がn回数連続して行われていないときには、ステップs1にもどってこのステップs1からの手順を繰り返すが、APLの値の差 $\Delta APL_n$ が基準値 $V_{ref}$ よりも小さいとの判定が連続してn回数行われたときには、PDP12に表示される画像が静止画であると判定して、後述する輝度低減処理を実行する（ステップs4）。

【0073】そして、ステップs3において判定回数をカウントするカウンタをリセットした後（ステップs5）、ステップs1にもどってこのステップs1からの手順を繰り返す。一方、ステップs2において、APLの値の差 $\Delta APL_n$ が基準値 $V_{ref}$ よりも小さくないと判定されたとき、次に、このAPLの値の差 $\Delta APL_n$ が基準値 $V_{ref}$ よりも大きいとの判定があらかじめ設定されている所定時間内に所定の頻度で行われたか否かを判断して、所定の頻度で行われている場合にはPDP12に表示される画像が動画であると判定する（ステップs6）。

【0074】また、ステップs6において、APLの値の差 $\Delta APL_n$ が基準値 $V_{ref}$ よりも大きいとの判定が所定の頻度で行われていない場合には、ステップs1にもどってこのステップs1からの手順を繰り返す。ステップs6において、PDP12に表示される画像が動画であると判定されると、次に、ステップs4の輝度低減処理が実行中であるか否かを判断する（ステップs7）。

【0075】このステップs7において、輝度低減処理が実行されていないと判断された場合には、ステップs1にもどってこのステップs1からの手順を繰り返すが、輝度低減処理が実行中である場合には、この輝度低

減処理を中止して後述する輝度上昇処理を実行する（ステップs 8）。

【0076】そして、ステップs 6において判定頻度をカウントするカウンタをリセットした後（ステップs 9）、ステップs 1にもどってこのステップs 1からの手順を繰り返す。次に、ステップs 4における輝度低減処理の手順について説明を行う。

【0077】この輝度低減処理の方式には、表示部2の行電極駆動パルス発生回路11からPDP12に印加されるサステインパルスのパルス数を減少させる方式と、乗算器32R、32G、32Bにおいてデジタル色信号R、G、Bに乘算される乗算係数を小さくする方式とがあり、この二つの方式は、後述するように自動または手動によるモードの切り替えによって、選択的に実行される。

【0078】まず、図3に基づいて、サステインパルスのパルス数の減少による輝度低減処理について説明を行う。この方式は、表示部2の行電極駆動パルス発生回路11からPDP12の行電極Xi、Yi (i=1,2,...n)にそれぞれ印加されるサステインパルスのパルス数を減少させて、放電発光の回数を減らすことにより、PDP12に表示される画像の輝度を低減させるものである（図12参照）。

【0079】すなわち、図2のステップs 4において、輝度低減処理の実行が決定されると、サステインパルスのパルス数を、動画の表示を想定した初期値N1よりも小さい所定の輝度低減時の設定値（以下、この設定値を輝度低減設定値という）Nrefに設定する（ステップa 1）。そして、そのときに表示部2の行電極駆動パルス発生回路11からPDP12に印加されているサステインパルスのパルス数が、輝度低減設定値Nrefに設定されているか否かを判断する（ステップa 2）。

【0080】このステップa 2において、サステインパルスのパルス数が輝度低減設定値Nrefに設定されている場合には、すでに輝度低減処理の実行中であるので、輝度低減処理を再度実行しないが、輝度低減設定値Nrefに設定されていない場合は、表示部2の行電極駆動パルス発生回路11に出力する読み出しタイミング信号によって、PDP12に印加されるサステインパルスのパルス数が所定の数だけ減少するように行電極駆動パルス発生回路11を制御する（ステップa 3）。

【0081】そして、ステップa 3の後、所定の時間が過ぎたか否かを判断して（ステップa 4）、所定の時間が経過した後、ステップa 2にもどってこのステップa 2からの手順を繰り返す。なお、ステップa 3においてサステインパルスのパルス数を一気に輝度低減設定値Nrefまで減少させず、さらに、ステップa 4において所定時間の経過を判断するのは、サステインパルスのパルス数の減少が、図7に示されるように、段階的に行われるようにするためであり、これによって、PDP12に

表示される画面が急激に暗くなるのを防止するためである。

【0082】そして、以上のステップa 2～a 4の手順が繰り返されて、行電極駆動パルス発生回路11におけるサステインパルスのパルス数が段階的に減少されることにより、ステップa 2においてサステインパルスのパルス数が輝度低減設定値Nrefまで減少されたと判断された場合には、それ以上のサステインパルスのパルス数の減少を停止してパルス数を輝度低減設定値Nrefに維持する。ここで、PDPの駆動にサブフィールドによる階調表示方式を採用している場合には、各サブフィールドごとに、設定された輝度低減設定値までサステインパルスのパルス数を段階的に減少させる。

【0083】例えば、256階調表示の場合には、図8に示されるように、1フレームが8枚のサブフィールドSFr (r=1,2,...8)によって構成され、各サブフィールドSFr (r=1,2,...8)には、それぞれアドレス期間Ar (r=1,2,...8)と維持放電期間Sr (r=1,2,...8)が設けられており、各サブフィールドSFr (r=1,2,...8)の維持放電期間Sr (r=1,2,...8)における維持放電の回数は、互いに1:2:4:8:16:32:64:128の比率となるように設定されている。そして、この維持放電期間Sr (r=1,2,...8)における維持放電の回数は、そのまま輝度の比率になるので、維持放電（発光）を行うサブフィールドを選択することにより、256段階の輝度を表現する。

【0084】したがって、以上のような階調表示によるPDPの駆動方式においても、各サブフィールドにおける維持放電の回数（サステインパルスのパルス数）をサブフィールド毎に設定される輝度低減設定値まで減少させることにより、輝度低減処理を行う。

【0085】次に、図4に基づいて、デジタル色信号R、G、Bに乘算される乗算係数を小さくする方式について説明を行う。この方式は、ABLを強制的に作動させる方式である。すなわち、図2のステップs 4において、輝度低減処理の実行が決定されると、乗算器32R、32G、32Bにおいてデジタル色信号R、G、Bに乘算される乗算係数を、動画の表示を想定した初期値K1よりも小さい所定の輝度低減時の乗算係数（以下、この設定値を輝度低減乗算係数という）Krefに設定する（ステップb 1）。

【0086】そして、そのときに乗算器32R、32G、32Bに設定されている乗算係数が輝度低減乗算係数Krefであるか否かを判断する（ステップb 2）。このステップb 2において、乗算器32R、32G、32Bに設定されている乗算係数が輝度低減乗算係数Krefである場合には、すでに輝度低減処理の実行中であるので、輝度低減処理を再度実行しないが、輝度低減乗算係数Krefに設定されていない場合は、乗算器32R、32G、32Bにおいてデジタル色信号R、G、Bに乘算する乗算

係数を所定の値ずつ小さくして行く（ステップ b 3）。

【0087】そして、ステップ b 3 の後、所定の時間が過ぎたか否かを判断して（ステップ a 4）、所定の時間が経過した後、ステップ b 2 にもどってこのステップ b 2 からの手順を繰り返す。なお、ステップ b 3 においてデジタル色信号 R, G, B に乗算する乗算係数をを一気に輝度低減乗算係数  $K_{ref}$  まで減少させず、さらに、ステップ b 4 において所定時間の経過を判断するのは、輝度の急激な減少によって PDP 12 に表示される画面が急激に暗くなるのを防止するためである。このときの、静止画動作特性と ABL 動作特性を示したのが図 9 である。

【0088】そして、以上のステップ b 2 ~ b 4 の手順が繰り返されて、乗算器 32 R, 32 G, 32 B においてデジタル色信号 R, G, B に乗算される乗算係数が徐々に小さくなることにより、ステップ b 2 において乗算係数が輝度低減乗算係数  $K_{ref}$  になったと判断された場合には、それ以上の乗算係数の減少を停止して輝度低減乗算係数  $K_{ref}$  に維持する。

【0089】次に、図 2 のステップ s 8 における輝度上昇処理の手順について説明を行う。この輝度上昇処理は、上述した輝度低減処理と逆の処理を行うものであって、表示部 2 の行電極駆動パルス発生回路 11 から PDP 12 に印加されるサステインパルスのパルス数を増加させる方式と、乗算器 32 R, 32 G, 32 B においてデジタル色信号 R, G, B に乗算される乗算係数を大きくする方式とがあり、この二つの方式は、輝度低減処理の場合と同様に、自動または手動によるモードの切り替えによって、選択的に実行される。

【0090】まず、図 5 に基づいて、サステインパルスのパルス数の増加による輝度上昇処理について説明を行う。この方式は、表示部 2 の行電極駆動パルス発生回路 11 から PDP 12 の行電極  $X_i, Y_i$  ( $i=1, 2, \dots, n$ ) にそれぞれ印加されるサステインパルスのパルス数を増加させて、放電発光の回数を増やすことにより、PDP 12 に表示される画像の輝度を上昇させるものである（図 12 参照）。

【0091】すなわち、図 2 のステップ s 8 において、輝度上昇処理の実行が決定されると、サステインパルスのパルス数を、初期値  $N1$  に設定する（ステップ c 1）。そして、そのときに表示部 2 の行電極駆動パルス発生回路 11 から PDP 12 に印加されているサステインパルスのパルス数が、初期値  $N1$  に設定されているか否かを判断する（ステップ c 2）。

【0092】このステップ c 2 において、サステインパルスのパルス数が初期値  $N1$  に設定されている場合には、すでに輝度上昇処理の実行中であるので、輝度上昇処理を再度実行しないが、初期値  $N1$  に設定されていない場合は、表示部 2 の行電極駆動パルス発生回路 11 に出力する読み出しタイミング信号によって、PDP 12

に印加されるサステインパルスのパルス数が所定の数だけ増加するように行電極駆動パルス発生回路 11 を制御する（ステップ c 3）。

【0093】そして、ステップ c 3 の後、所定の時間が過ぎたか否かを判断して（ステップ c 4）、所定の時間が経過した後、ステップ c 2 にもどってこのステップ c 2 からの手順を繰り返す。なお、ステップ c 3 においてサステインパルスのパルス数を一気に初期値  $N1$  まで増加させず、さらに、ステップ c 4 において所定時間の経過を判断するのは、サステインパルスのパルス数の増加が段階的に行われるようにして、PDP 12 に表示される画面が急激に明るくなるのを防止するためである。

【0094】そして、以上のステップ c 2 ~ c 4 の手順が繰り返されて、行電極駆動パルス発生回路 11 におけるサステインパルスのパルス数が段階的に増加されることにより、ステップ c 2 においてサステインパルスのパルス数が初期値  $N1$  まで増加されたと判断された場合には、それ以上のサステインパルスのパルス数の増加を停止してパルス数を初期値  $N1$  に維持する。

【0095】次に、図 6 に基づいて、デジタル色信号 R, G, B に乗算される乗算係数を大きくする方式について説明を行う。この方式は、ABL の作動を徐々に停止させる方式である。すなわち、図 2 のステップ s 8 において、輝度上昇処理の実行が決定されると、乗算器 32 R, 32 G, 32 B においてデジタル色信号 R, G, B に乗算される乗算係数を、初期値  $K1$  に設定する（ステップ d 1）。

【0096】そして、そのときに乗算器 32 R, 32 G, 32 B に設定されている乗算係数が初期値  $K1$  であるか否かを判断する（ステップ d 2）。このステップ d 2 において、乗算器 32 R, 32 G, 32 B に設定されている乗算係数が初期値  $K1$  である場合には、すでに輝度上昇処理の実行中であるので、輝度上昇処理を再度実行しないが、初期値  $K1$  に設定されていない場合は、乗算器 32 R, 32 G, 32 B においてデジタル色信号 R, G, B に乗算する乗算係数を所定の値ずつ大きくしてゆく（ステップ d 3）。

【0097】そして、ステップ d 3 の後、所定の時間が過ぎたか否かを判断して（ステップ d 4）、所定の時間が経過した後、ステップ d 2 にもどってこのステップ d 2 からの手順を繰り返す。なお、ステップ d 3 においてデジタル色信号 R, G, B に乗算する乗算係数をを一気に初期値  $K1$  まで増加させず、さらに、ステップ d 4 において所定時間の経過を判断するのは、輝度の急激な上昇によって PDP 12 に表示される画面が急激に明るくなるのを防止するためである。

【0098】そして、以上のステップ d 2 ~ d 4 の手順が繰り返されて、乗算器 32 R, 32 G, 32 B においてデジタル色信号 R, G, B に乗算される乗算係数が徐々に大きくなることにより、ステップ d 2 において乗算係

数が初期値K1 になったと判断された場合には、それ以上の乗算係数の増加を停止して初期値K1 に維持する。

【0099】上記の輝度低減処理および輝度上昇処理を実行する際に、これらの処理をサステインパルスのパルス数の増減によって行うか、乗算係数の増減によって行うかは、手動または自動によって選択される。例えば、PDPがテレビジョン画面として使用される場合には、NTSC信号の入力によって自動的にまたは手動でサステインパルスのパルス数の増減による方式が選択され、パソコンモニタとして使用される場合には、パソコン入力によって自動的にまたは手動で乗算係数の増減による方式が選択される。

【0100】なお、上記の例においては、PDPの駆動装置が、輝度低減処理および輝度上昇処理をサステインパルスのパルス数の増減と乗算係数の増減によって選択に行うようになっているが、どちらか一方の方式をPDPの駆動装置に装備して輝度低減処理および輝度上昇処理を行うようにしても良い。

#### 【図面の簡単な説明】

【図1】この発明によるプラズマディスプレイパネルの輝度制御装置の構成の一例を示すブロック図である。

【図2】同例の輝度制御装置において表示画面が静止画であるか否かの判定を行うための手順を示すフローチャートである。

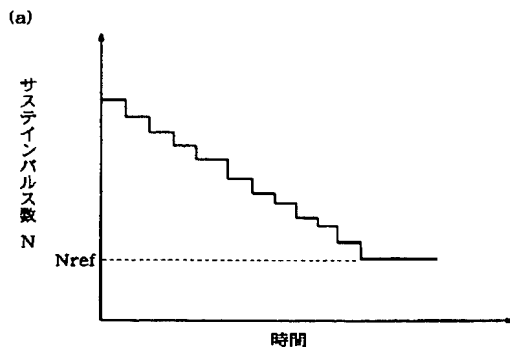
【図3】同例の輝度制御装置において輝度の低減処理の手順を示すフローチャートである。

【図4】同例の輝度制御装置において輝度の低減処理の他の手順を示すフローチャートである。

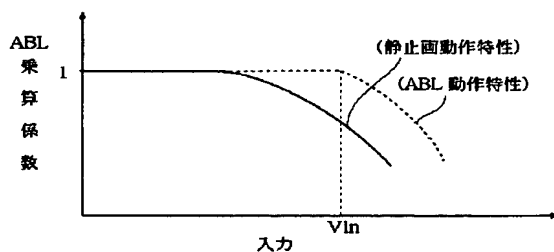
【図5】同例の輝度制御装置において輝度の上昇処理の手順を示すフローチャートである。

【図6】同例の輝度制御装置において輝度の上昇処理の他の手順を示すフローチャートである。

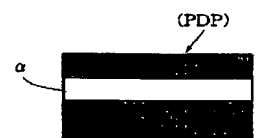
【図7】



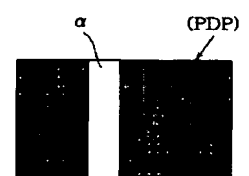
【図9】



【図15】



【図16】



【図7】図3の手順によってサステインパルスのパルス数が減少される状態を示すグラフである。

【図8】階調表示におけるサブフィールドの構成を示す図である。

【図9】図4の手順によって乗算係数が減少されるときに静止画動作特性とABL動作特性を示すグラフである。

【図10】従来のプラズマディスプレイパネルの駆動装置を示すブロック図である。

【図11】従来のプラズマディスプレイパネルの構造を示す斜視図である。

【図12】図10の駆動装置によってプラズマディスプレイパネルに印加されるパルスの印加のタイミングを示すタイミングチャートである。

【図13】従来のプラズマディスプレイパネルの輝度制御装置を示すブロック図である。

【図14】図13の輝度制御装置における輝度低減の方法を説明するための説明図である。

【図15】静止画における画像パターンの一例を示す模式図である。

【図16】静止画における画像パターンの他の例を示す模式図である。

#### 【符号の説明】

2 …表示部

10…画素データパルス発生回路

11…行電極駆動パルス発生回路

12…PDP

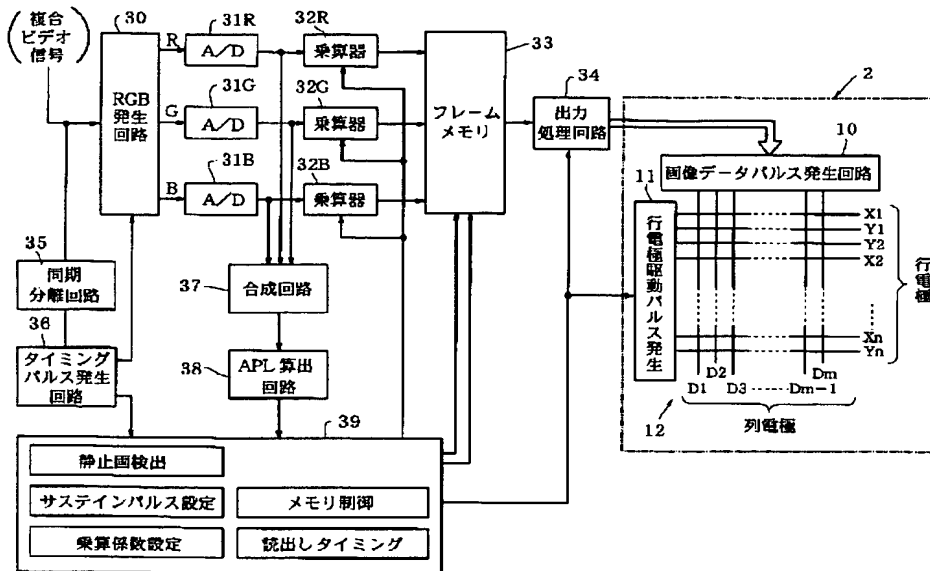
32R, 32G, 32B…乗算器

37…合成回路

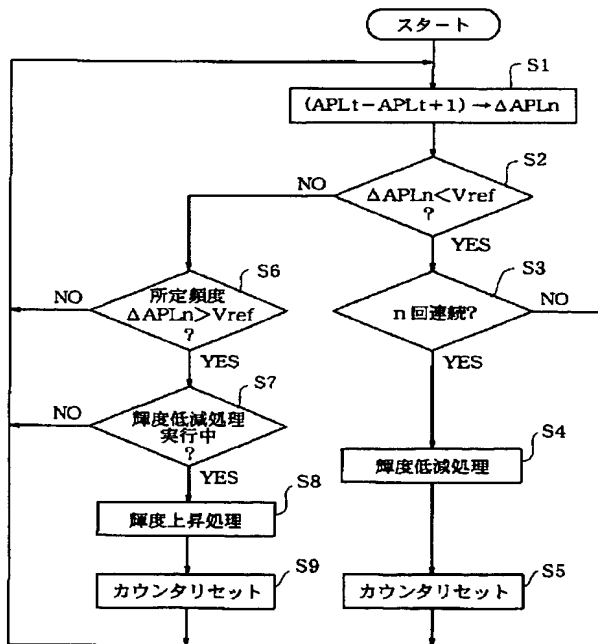
38…APL算出回路（平均輝度レベル検出手段）

39…コントローラ

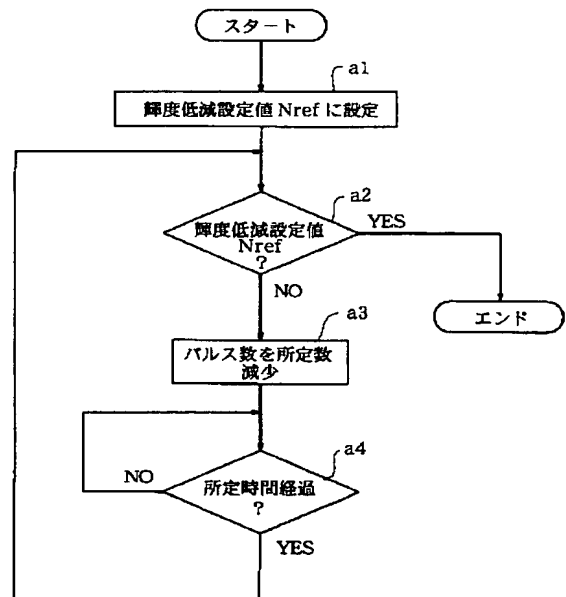
【図1】



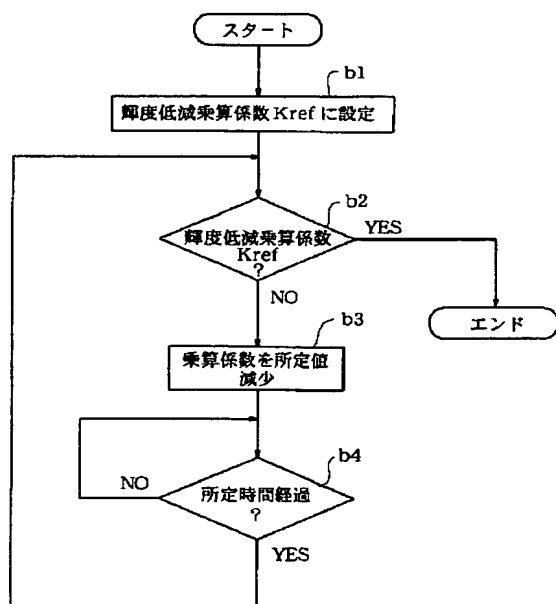
【図2】



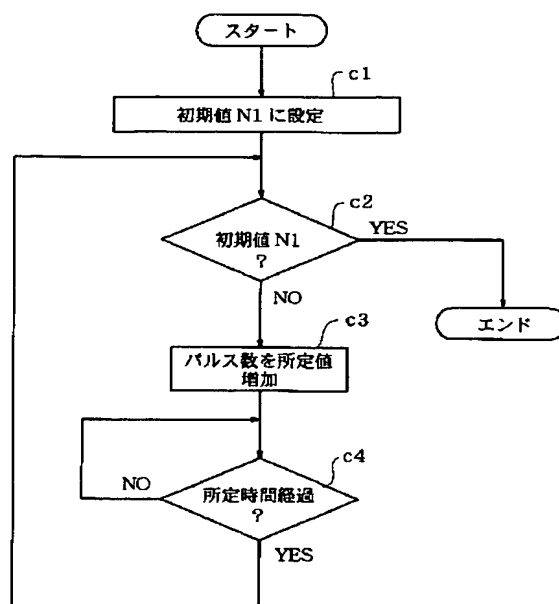
【図3】



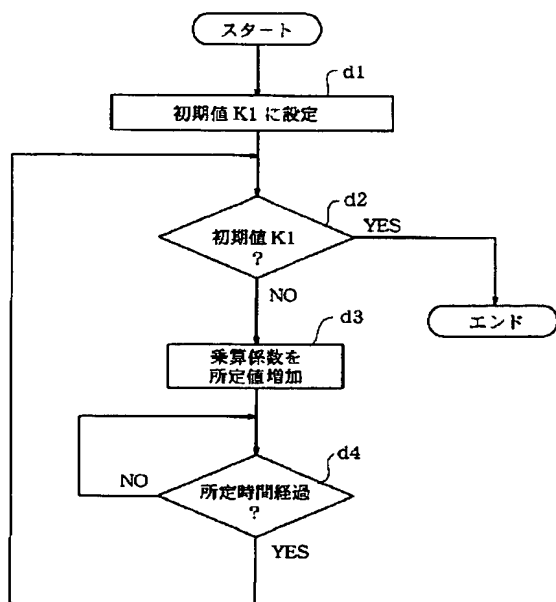
【図4】



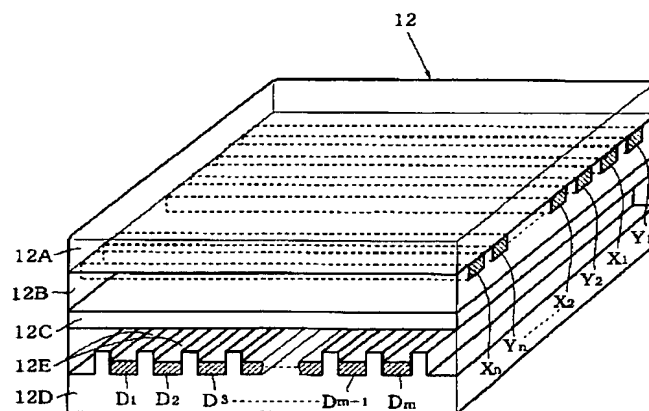
【図5】



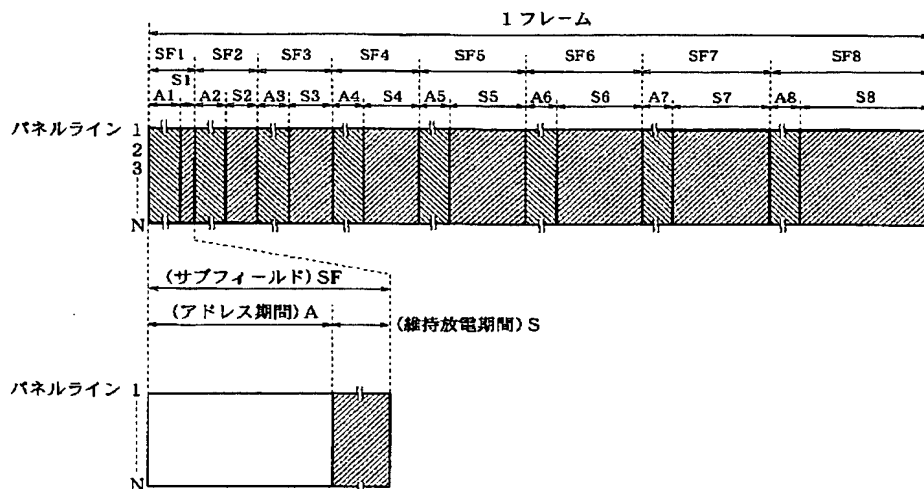
【図6】



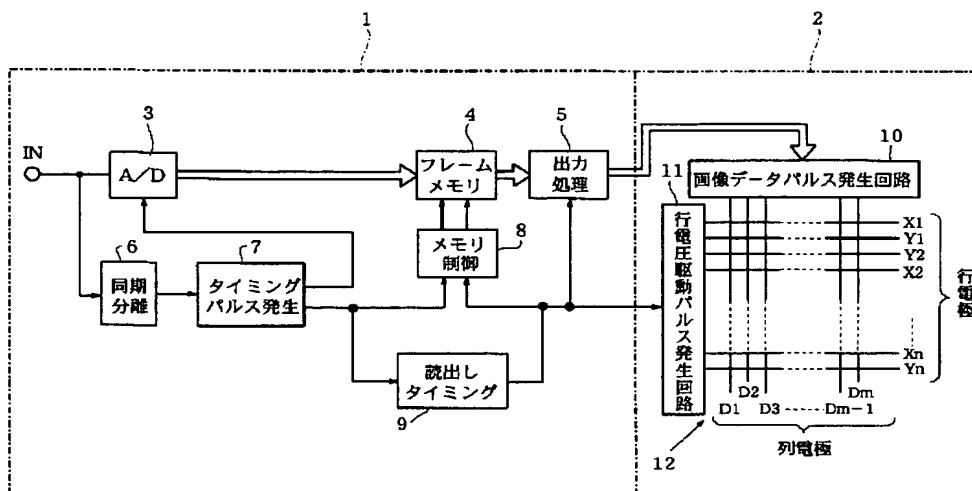
【図11】



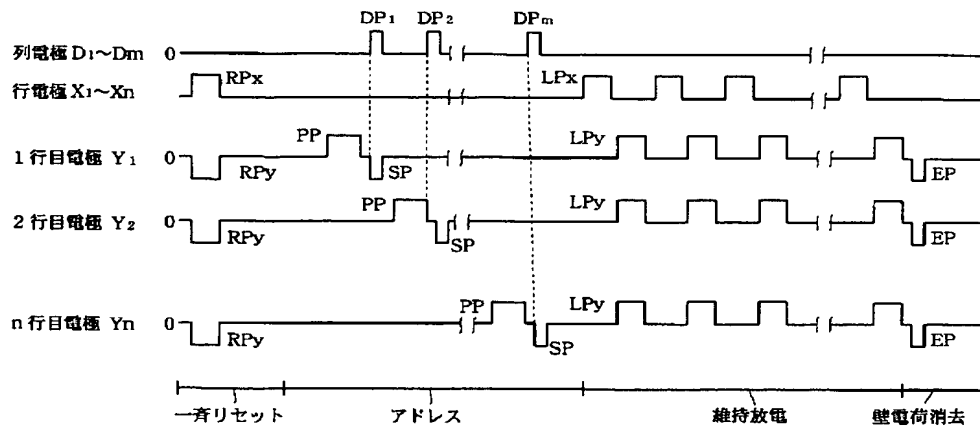
【図8】



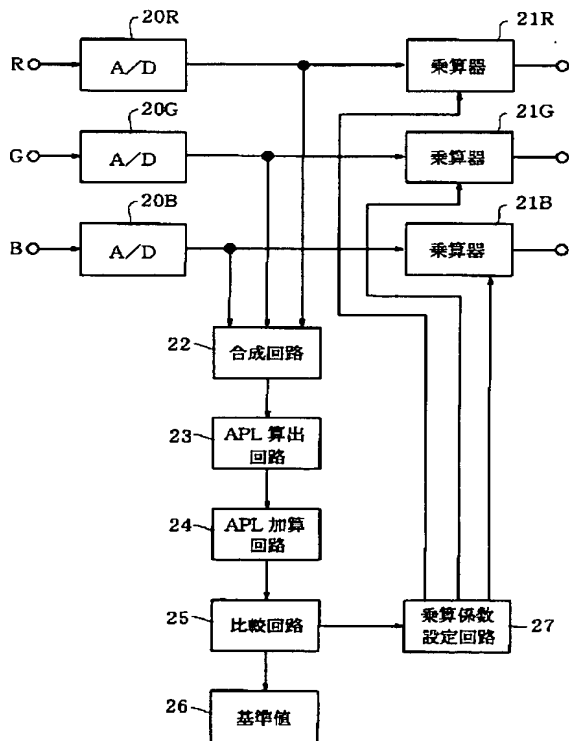
【図10】



【図12】



【図13】



【図14】

(a)

1	128/255
2	200/255
3	128/255
4	200/255
5	128/255
6	200/255
7	128/255
8	200/255

(b)

1	128/255
2	128/255
3	128/255
4	200/255
5	200/255
6	128/255
7	128/255
8	128/255

(c)

1	64/255
2	64/255
3	64/255
4	100/255
5	100/255
6	64/255
7	64/255
8	64/255

フロントページの続き

(72)発明者 菊池 望

静岡県袋井市鷲巣字西ノ谷15番地1 パイ  
オニア株式会社静岡工場内

(72)発明者 細井 研一郎

静岡県袋井市鷲巣字西ノ谷15番地1 パイ  
オニア株式会社静岡工場内



F ターム (参考) 5C080 AA05 BB05 CC03 DD18 DD20  
EE28 FF09 GG02 GG08 GG09  
GG12 HH02 HH04 JJ02 JJ04  
JJ05 JJ06 JJ07